

1/7/1

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

05062521 **Image available**

GATE ARRAY TYPE INTEGRATED CIRCUIT

PUB. NO.: 08-018021 JP 8018021 A]

PUBLISHED: January 19, 1996 (19960119)

INVENTOR(s): MUTO SHINICHIRO

MATSUTANI YASUYUKI

SHIGEMATSU TOMOSHI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT> [000422] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 06-174730 [JP 94174730]

FILED: July 04, 1994 (19940704)

ABSTRACT

PURPOSE: To realize an MT-CMOS circuit without reducing the availability of a cell in a gate cell array by arranging a cell array having field effect transistors with high threshold voltage adjacent to a cell array having field effect transistors with low threshold voltage.

CONSTITUTION: First and second logical circuits 7 and 7' of a first basic cell are comprised of transistors with low threshold value and are connected between a high-potential psuedo power supply line VDDV and low-potential actual power supply line VSS. A power supply control circuit 8 of a second basic cell is comprised of transistors with high threshold value and is connected between a high-potential actual power supply line VDD and high-potential psuedo power supply line VDDV. In the circuit 8, transistors QH1 and QH2 are connected in parallel, forming a transfer gate, and it becomes conductive when a sleep signal is at a low potential and supplies a power, while it stops power supplying when the signal is at a high potential. Thus, an MT-CMOS circuit can be realized on one LSI chip without reducing the availability of a cell.

?logoff

23sep99 09:32:17 User034901 Session D8433.3

Sub account: 026260-216

\$1.73 0.169 DialUnits File347

\$1.40 1 Type(s) in Format 7

\$1.40 1 Types

\$3.13 Estimated cost File347

\$0.19 TYMNET

\$3.32 Estimated cost this search

\$17.60 Estimated total session cost 0.543 DialUnits

Status: Signed Off. (2 minutes)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18021

(43) 公開日 平成8年 (1996) 1月19日

(51) Int. Cl. ⁶

H01L 27/118

H03K 19/0948

19/173

識別記号

庁内整理番号

F I

技術表示箇所

9199-5K

H01L 21/82

M

H03K 19/094

B

審査請求 未請求 請求項の数3 (全 8 頁)

最終頁に続く

(21) 出願番号 特願平6-174730

(22) 出願日 平成6年 (1994) 7月4日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 武藤 伸一郎

東京都千代田区内幸町1丁目1番6号 日本
電信電話株式会社内

(72) 発明者 松谷 康之

東京都千代田区内幸町1丁目1番6号 日本
電信電話株式会社内

(72) 発明者 重松 智志

東京都千代田区内幸町1丁目1番6号 日本
電信電話株式会社内

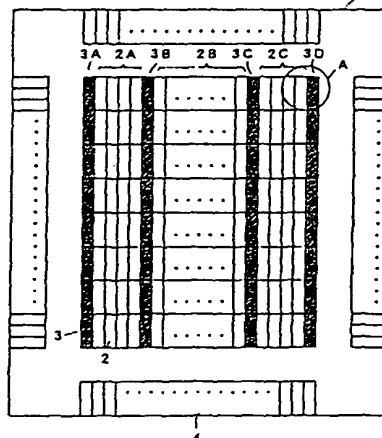
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 ゲートアレイ型集積回路

(57) 【要約】

【目的】 MT-CMOS回路をゲートアレイ型集積回路で実現可能にすること。

【構成】 低しきい値電圧のMOSトランジスタからなる第1基本セル2を用いたセルアレイに隣接して、高しきい値電圧のMOSトランジスタからなる第2基本セル3を配置して、ゲートアレイを構成する。



【特許請求の範囲】

【請求項1】電界効果トランジスタで構成された第1基本セルと、該第1基本セルを構成する電界効果トランジスタよりもしきい値電圧の絶対値が大きい電界効果トランジスタで構成された第2基本セルからなり、

上記第1基本セルで少なくとも1つのセルアレイを形成するとともに、上記第2基本セルで少なくとも1つの他のセルアレイを形成し、上記第1基本セルからなるセルアレイの左右上下のいずれかの端、左右両方の端、上下両方の端、左右上下全ての端、又は内部に、上記第2基本セルからなるセルアレイを隣接して配置したことを特徴とするゲートアレイ型集積回路。

【請求項2】上記第1基本セルで論理回路群を形成し、上記第2基本セルで該論理回路群への電源供給を制御する電源制御回路を形成したことを特徴とする請求項1に記載のゲートアレイ型集積回路。

【請求項3】上記第1基本セルを構成するトランジスタで形成され、第1、第2電源端子を有する論理回路群と、

上記第2基本セルを構成するトランジスタで形成され、上記論理回路群への電源供給を制御する第1及び/又は第2電源制御回路と、

上記論理回路群への電源供給源となる第1、第2実電源線と、

第1及び/又は第2疑似電源線とから構成され、上記論理回路群の上記第1電源端子に上記第1疑似電源線を接続するとともに、上記第1疑似電源線と上記第1実電源線との間に上記第1電源制御回路を接続し、上記論理回路群の前記第2電源端子に、直接的に上記第2電源線を接続し、又は上記第2疑似電源線に接続するとともに上記第2疑似電源線と上記第2実電源線との間に上記第2電源制御回路を接続したことを特徴とする請求項1に記載のゲートアレイ型集積回路。

【発明の詳細な説明】

(0001)

【産業上の利用分野】本発明は、ゲートアレイ方式で構成される半導体集積回路に係り、特に低しきい値電圧のトランジスタと高しきい値電圧のトランジスタで構成される低電圧高速動作CMOS回路対応のゲートアレイ型集積回路に関するものである。

(0002)

【従来の技術】ゲートアレイ方式の半導体集積回路は、予め半導体ウエハ上に複数のトランジスタ素子よりなる基本セルをマトリクス状に並べておき、その基本セルを各々配線で結ぶことにより、所望の回路機能を実現するのであり、短期間で集積回路が得られるという利点がある。

【0003】図10に従来のゲートアレイのLSIチップ11の概略図を示す(参考文献「ULSI設計技術」、菅野卓雄監修、電子情報通信学会)。このLSI

チップ11の中央部には基本セル12がマトリクス状に並べられてセルアレイ12Aが構成され、周辺部には外部とのインターフェースを行なう入出力バッファ用セル列13が配置されている。

【0004】図11は従来から用いられているCMOS型ゲートアレイ型の1つの基本セル12を示す図である。Q11、Q12はPチャンネル型のMOS電界効果トランジスタ(以下、MOSTランジスタと呼ぶ)、Q13、Q14はNチャンネル型のMOSTランジスタであり、いずれも論理ゲートを構成するトランジスタとして用いられる。

【0005】ここでは、P型基板内にトランジスタを作り込む例で説明しているため、PチャンネルMOSTランジスタQ11、Q12はnウェル121内に形成される。122はPチャンネルMOSTランジスタのソース又はドレインとして機能するp⁺領域、123はNチャンネルMOSTランジスタのソース又はドレインとして機能するn⁺領域、124はゲート電極である。

【0006】トランジスタQ11とQ12はサイズが異なる場合もあるが、デバイス特性に重大な影響を与えるしきい値電圧は同じ値に設定されている。トランジスタQ13とQ14についても同様である。

【0007】図12に2入力NANDゲートを実現する場合の結線例を、図13にその等価回路を示す。図12における黒丸印はMOSTランジスタのソース、ドレイン、又はゲート電極へのコンタクト位置を示す。また、A1、A2は入力端子、Yは出力端子、VDDは高電位実電源線、VSSは低電位実電源線である。

【0008】ところで、近年、各種の電子機器の携帯性の要求に応えるべく、半導体集積回路の低電圧動作化が進められている。そのための技術として、電子情報通信学会1994年春季大会講演論文集第5分冊5-195頁に示されているMT-CMOS(Multi-Threshold CMOS)回路を例として図14に示す。

【0009】図14において、論理回路(2入力NANDゲート)14を構成するトランジスタQ21~Q24は低しきい値電圧のトランジスタである。論理回路14の高電位側の電源端子は高電位疑似電源線VDDVに接続され、低電位側の電源端子は低電位実電源端子VSSに接続される。高電位疑似電源線VDDVと高電位実電源線VDDとの間には高しきい値電圧の電源制御用のMOSTランジスタQH11が接続される。そして、このMOSTランジスタQH11のゲートには、電源制御用のスリープ信号SLが入力される。

【0010】動作時には、スリープ信号SLを低電位にセットする。これによってPMOSTランジスタQH11は導通し、高電位疑似電源線VDDVは高電位実電源線VDDと見なすことができる。このとき、高電位疑似電源線VDDVに接続された論理回路14は低しきい値電圧のMOSTランジスタQ21~Q24で構成されて

いるため、1V以下の極低電圧でも高速に動作する。

【0011】一般的にMOSトランジスタは、そのしきい値電圧の絶対値を下げるとリーク電流阻止能力が低下し、スタンバイ時（遮断時）の電流が増大するという問題がある。MT-CMOS回路技術ではスリープ制御と呼ばれる電力制御機能を導入し、本問題を回避している。すなわち、回路を動作させないスタンバイ時には回路をスリープ状態にする。具体的には、スリープ信号SLを高電位にし、PチャンネルMOSトランジスタQH11を遮断状態にする。この結果、高電位実電源線VD10 Dと低電位実電源線VSSとの間に、遮断された高しきい値電圧のPチャンネルMOSトランジスタQH11が挟まれるので、低しきい値電圧のMOSトランジスタQ21～Q24で発生するであろうスタンバイリーク電流をカットすることができ、超低電力特性を実現できる。

【0012】このように、MT-CMOS回路技術は低電圧高速回路技術として有望視されているが、本回路を実際のLSIで実現するためには、1つのLSIチップ上で高しきい値電圧のトランジスタと低しきい値電圧のトランジスタが混在していなければならない。

【0013】

【発明が解決しようとする課題】しかしながら、簡易なLSI実現法として広く利用されている従来のゲートアレイでは、Pチャンネル型MOSトランジスタ、Nチャンネル型MOSトランジスタともに、各々単一のしきい値電圧のMOSトランジスタからなる基本セルをアレイ状に配置し、構成されているだけであった。

【0014】本発明の目的は、ゲートアレイの利用率を低下させることなく、異なるしきい値電圧の複数種の電界効果トランジスタを使用したMT-CMOS回路技術を実現可能にしたゲートアレイ集積回路を提供することである。

【0015】

【課題を解決するための手段】この目的達成のために本発明のゲートアレイ型集積回路は、電界効果トランジスタで構成された第1基本セルと、該第1基本セルを構成する電界効果トランジスタよりもしきい値電圧の絶対値が大きい電界効果トランジスタで構成された第2基本セルからなり、上記第1基本セルで少なくとも1つのセルアレイを形成するとともに、上記第2基本セルで少なくとも1つの他のセルアレイを形成し、上記第1基本セルからなるセルアレイの左右上下のいずれかの端、左右両方の端、上下両方の端、左右上下全ての端、又は内部に、上記第2基本セルからなるセルアレイを隣接して配置して構成した。

【0016】本発明では、上記第1基本セルで論理回路群を形成し、上記第2基本セルで該論理回路群への電源供給を制御する電源制御回路を形成することが好ましい。

【0017】また、本発明では、上記第1基本セルを構

成するトランジスタで形成され、第1、第2電源端子を有する論理回路群と、上記第2基本セルを構成するトランジスタで形成され、上記論理回路群への電源供給を制御する第1及び/又は第2電源制御回路と、上記論理回路群への電源供給源となる第1、第2実電源線と、第1及び/又は第2疑似電源線とから構成し、上記論理回路群の上記第1電源端子に上記第1疑似電源線を接続するとともに、上記第1疑似電源線と上記第1実電源線との間に上記第1電源制御回路を接続し、上記論理回路群の上記第2電源端子に、直接的に前記第2電源線を接続し、又は上記第2疑似電源線に接続するとともに上記第2疑似電源線と上記第2実電源線との間に上記第2電源制御回路を接続することが好ましい。

【0018】

【作用】本発明では、低しきい値電圧の電界効果トランジスタをもつ第1基本セルからなるセルアレイに対して、高しきい値電圧の電界効果トランジスタをもつ第2基本セルからなるセルアレイを隣接配置することにより、ゲートセルアレイでのセル利用率を低下させることなく、高しきい値電圧のトランジスタと低しきい値電圧のトランジスタを利用したMT-CMOS回路を実現できる。

【0019】

【実施例】以下、本発明の実施例を説明する。図1はその第1の実施例のゲートアレイ集積回路のLSIチップ1の概略図である。2は第1基本セルであり、低しきい値電圧のMOSトランジスタで構成される。3は第2基本セルであり、高しきい値のMOSトランジスタで構成される。第1基本セル2はマトリクス状に配列されてセルアレイ2A、2B、2Cを構成する。その各セルアレイ2A、2B、2Cには、第2基本セル3からなるセル列（セルアレイ）3A、3B、3C、3Dが隣接して配置される。また、外部とのインターフェースを行なう入出力バッファ用セル列4がLSIチップ1の周辺部に配置されている。

【0020】図2は第1基本セル2を示す図である。Q1、Q2はPチャンネル型のMOSトランジスタ、Q3、Q4はNチャンネル型のMOSトランジスタであって、いずれのしきい値電圧も低レベルである。例えば、PMOSトランジスタQ1、Q2は-0.2V程度、NMOSトランジスタQ3、Q4は0.2V程度に設定されることがある。

【0021】ここでも、P型基板内にトランジスタを作り込む例で説明しているため、PチャンネルMOSトランジスタQ1、Q2はnウェル201内に形成される。202はPチャンネルMOSトランジスタのソース又はドレインとして機能するp'領域、203はNチャンネルMOSトランジスタのソース又はドレインとして機能するn'領域、204はゲート電極である。

【0022】図3は第2基本セル3を示す図ある。Q11

1、QH2はPチャンネル型のMOSトランジスタであって、しきい値電圧は高レベルであり、例えば、 $-0.7V$ 程度に設定されることがある。

【0023】ここでも、P型基板内にトランジスタを作り込む例で説明しているため、PチャンネルMOSトランジスタQH1、QH2はnウェル301内に形成される。302はPチャンネルMOSトランジスタのソース又はドレインとして機能する p^+ 領域、303はゲート電極である。

【0024】以上のように、予め1つのLSIチップ1内に低しきい値電圧のトランジスタ部と高しきい値電圧のトランジスタ部とを固定して形成しておくことにより、高しきい値電圧のトランジスタと低しきい値電圧のトランジスタを利用するMT-CMOS回路技術に対応したゲートアレイ型集積回路が実現できる。

【0025】図4は図1内の円で囲った部分Aの結線例を示す図である。ここでは、第1基本セル2でNANDゲートを構成し、MT-CMOS回路化することを考える。図4において、A1'、A2'は第1論理回路(NANDゲート)の入力端子、Y'は出力端子であり、またA1、A2は第2論理回路(NANDゲート)の入力端子、Yは出力端子である。Q1'、Q2'、Q1、Q2は各々第1基本セル2内のPチャンネルMOSトランジスタ、Q3'、Q4'、Q3、Q4は各々第1基本セル2内のNチャンネルMOSトランジスタであり、これらのトランジスタは低しきい値電圧のものである。QH1、QH2はともに第2基本セル3内のPチャンネルMOSトランジスタであり、これらのトランジスタは高しきい値電圧のものである。黒丸印はソース、ドレイン、又はゲート電極へのコンタクト位置を示す。また太実線は1層目配線を示す。5は高電位実電源線VDDの2層目の配線(点線で示す)、6はこの2層目配線5と1層目配線との間のスルホールである。

【0026】図5は図6の構成の等価回路を示す回路図である。第1基本セル2で構成される第1、第2論理回路7、7'は、高電位疑似電源線VDDVと低電位実電源線VSSとの間に接続され、この高電位疑似電源線VDDVと高電位実電源線VDDとの間に、第2基本セル3で構成される電源制御回路8が接続される。ここでは、電源制御回路8はPチャンネルMOSトランジスタQH1、QH2の並列接続によるトランスファゲートでからなり、スリープ信号SLによりその導通/遮断が制御される。スリープ信号SLが低電位のとき導通して電源供給を行ない、高電位のとき遮断して電源供給を停止する。このように、第1基本セル2により第1、第2論理回路7、7'の部分が構成され、第2基本セル3により電源制御回路8の部分が構成される。

【0027】図6は第2実施例のLSIチップ1の概略を示す図である。これは、第1基本セル2からなる1つのセルアレイ2Dを中央に配置し、その左右両端に第2

基本セル3からなるセル列(セルアレイ)3A、3Dを設けた例を示す。他は図1に示した第1実施例のもと同様である。

【0028】図7は第3実施例のLSIチップ1の概略を示す図である。これは、図6に示したものと同様に第1基本セル2からなる1つのセルアレイ2Eを中央に配置するが、その左右両端に第2基本セル3からなる2列のセル列(セルアレイ)3E、3Fを設けた例を示す。他は図1に示した第1実施例のもと同様である。

このセル列3E、3Fは3列以上のセル列であっても良い。

【0029】この場合、より多くの高しきい値電圧のトランジスタが使用できる。具体的には、図5の回路において、高しきい値電圧のPチャンネルトランジスタQH1、QH2を3個以上並列接続できるので、そのトランジスタのサイズを実効的に大きくできる。このように、高しきい値電圧のトランジスタQH1、QH2のサイズが大きくなれば、高電位疑似電源線VDDVへの供給電流能力が向上するため、MT-CMOS回路のより高速な動作が可能となる。

【0030】図8は第4の実施例のLSIチップ1の概略図である。ここでは、高しきい値電圧のトランジスタで構成される第2基本セル3によるセル列(セルアレイ)3G、3Hを、第1基本セル2によるセルアレイ2Fの上下端部分に隣接して配置している。

【0031】図9は図8の丸で囲んだB部分の等価回路図である。この図9に示すように、第2基本セル3によるセル列3Gを第1基本セル2によるセルアレイ2Fの上部分に隣接配置しても、MT-CMOS回路を構成することができる。下部分に隣接配置しても同様である。また、図示しなかったが、この第2基本セル3は端部のみでなく中央部分に隣接配置させることもできる。

【0032】なお、上記実施例はいずれも第2基本セル3をPチャンネルMOSトランジスタで構成したものだけを示したが、逆に高しきい値電圧のNチャンネルMOSトランジスタのみで構成することもできる。このときは、上記高電位疑似電源線VDDVに代えて低電位疑似電源を設けて、第1基本セル2のトランジスタからなる論理回路群の高電位側の電源端子を高電位実電源線VDDに接続し、低電位側の電源端子は低電位疑似電源線に接続し、且つ低電位疑似電源線と低電位実電源線VSSとの間に第2基本セルの高しきい値電圧のNチャンネルMOSトランジスタからなる電源制御回路を接続する。そして、電源制御回路のNチャンネルMOSトランジスタのゲートには、前述のスリープ信号SLを反転した信号を印加する。

【0033】また、第2基本セル3として、高しきい値電圧のPチャンネルMOSトランジスタと高しきい値電圧のNチャンネルMOSトランジスタを混在させた構成(第1基本セル2と同様の構成)をとることもできる。

このときは、高電位疑似電源線VDDVと低電位疑似電源を設けて、第1基本セル2のトランジスタからなる論理回路群の高電位側の電源端子を高電位疑似電源線VDDVに接続するとともに低電位側の電源端子を低電位疑似電源線に接続し、高電位実電源線VDDと高電位疑似電源線VDDVとの間に第2基本セルの高しきい値電圧のPチャンネルMOSトランジスタからなる電源制御回路を接続し、且つ低電位実電源線VSSと低電位疑似電源線との間に第2基本セルの高しきい値電圧のNチャンネルMOSトランジスタからなる電源制御回路を接続する。そして、PチャンネルMOSトランジスタからなる電源制御回路の当該PチャンネルMOSトランジスタのゲートにはスリープ信号SLを、NチャンネルMOSトランジスタからなる電源制御回路の当該NチャンネルMOSトランジスタのゲートにはスリープ信号SLの反転信号を印加する。

【0034】また、電源制御回路の回路形式については、本実施例ではトランスファゲート形式のものを示しているが、この形式に限られるものではない。すなわち、この電源制御回路は、既存の回路設計法に基づき、考えられるあらゆる回路形式をとり得る。

【0035】

【発明の効果】以上から本発明によれば、低しきい値電圧の電界効果トランジスタをもつ第1基本セルからなるセルアレイに対して、高しきい値電圧の電界効果トランジスタをもつ第2基本セルからなるセルアレイを隣接配置するので、1個のLSIチップ上でセル利用率を低下させることなく、高しきい値電圧のトランジスタと低しきい値電圧のトランジスタを利用したMT-CMOS回路を実現できる。

【0036】このMT-CMOS回路は、第1基本セルを論理回路群に、第2基本セルを電源制御回路に利用することにより実現できる。

【図面の簡単な説明】

【図1】 本発明の第1実施例のゲートアレイのLSIチップの概略図である。

【図2】 同第1実施例の第1基本セルの説明図である。

【図3】 同第1実施例の第2基本セルの説明図である。

【図4】 図1のA部分の結線例を示すセルの説明図である。

【図5】 図4に示すセルの等価回路の回路図である。

【図6】 第2実施例のゲートアレイのLSIチップの概略図である。

【図7】 第3実施例のゲートアレイのLSIチップの概略図である。

【図8】 第4実施例のゲートアレイのLSIチップの概略図である。

【図9】 図8のB部分の等価回路の回路図である。

【図10】 従来のゲートアレイのLSIチップの概略図である。

【図11】 図10の基本セルの説明図である。

【図12】 図11の基本セルを使用した2入力NANDゲートの結線例を示す説明図である。

【図13】 図12の等価回路の回路図である。

【図14】 MT-CMOS回路技術の回路図である。

【符号の説明】

1: LSIチップ

2: 第1基本セル、2A、2B、2C、2D、2E、2F: セルアレイ、201: nウエル、202: p⁺領域、203: n⁺領域、204: ゲート電極

3: 第2基本セル、3A、3B、3C、3D、3E、3F、3G、3H: セル列(セルアレイ)、301: nウエル、302: p⁺領域、303: ゲート電極

4: 入出力バッファ用セル列

5: 2層目配線

6: スルホール

7、7': 論理回路

8: 電源制御回路

11: LSIチップ

12: 基本セル、121: nウエル、122: p⁺領域、123: n⁺領域、124: ゲート電極、12A: セルアレイ

13: 入出力バッファ用セル列

14: 論理回路

Q1~Q4、Q1'~Q4'、Q11~Q14、Q21~Q24: 低しきい値電圧のMOSトランジスタ

QH1、QH2、QH11: 高しきい値のPチャンネルMOSトランジスタ

VDD: 高電位実電源線

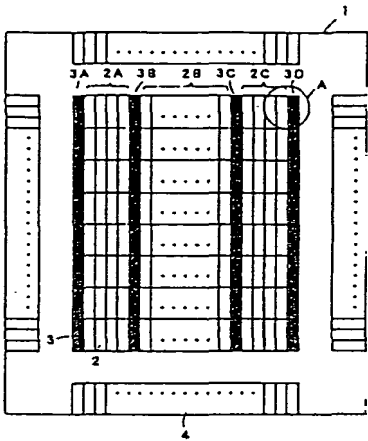
VDDV: 高電位疑似電源線

VSS: 低電位実電源線

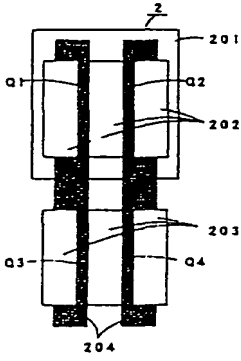
40

(6)

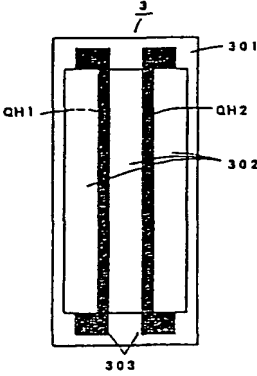
〔図1〕



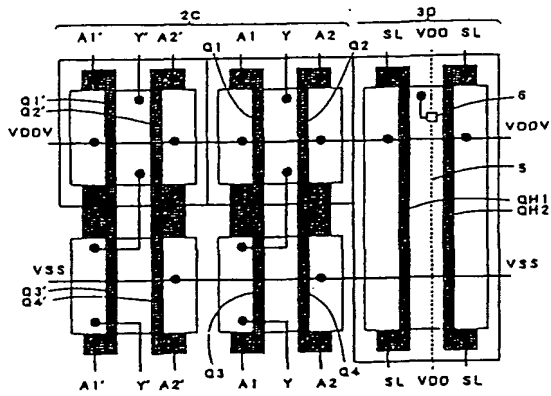
〔図2〕



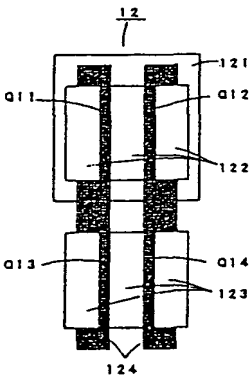
〔図3〕



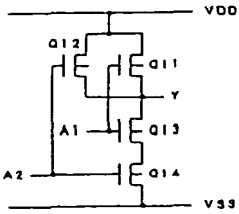
〔図4〕



〔図11〕

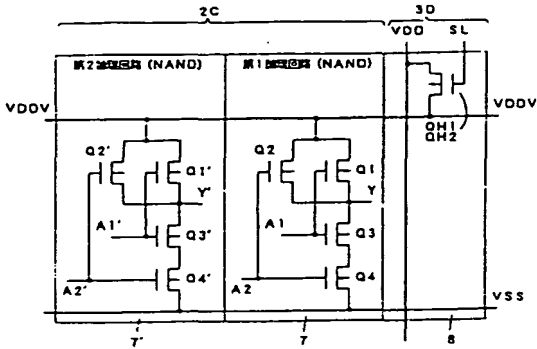


〔図13〕

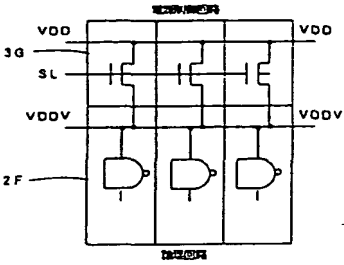


(7)

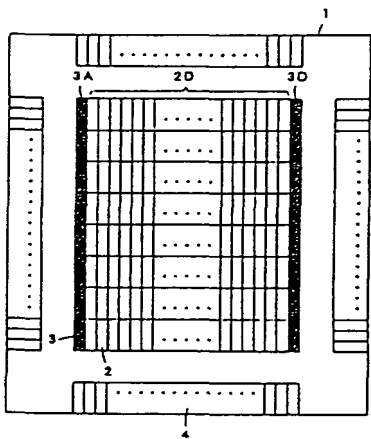
〔図 5〕



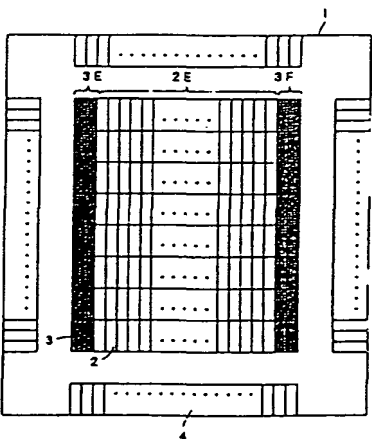
〔図 9〕



〔図 6〕

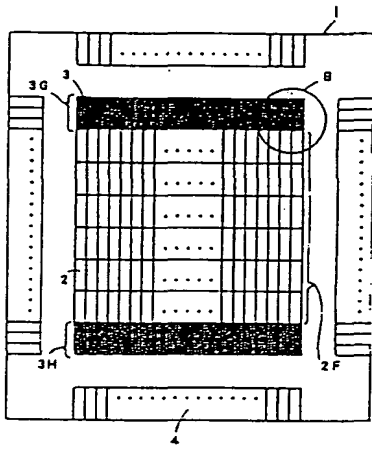


〔図 7〕

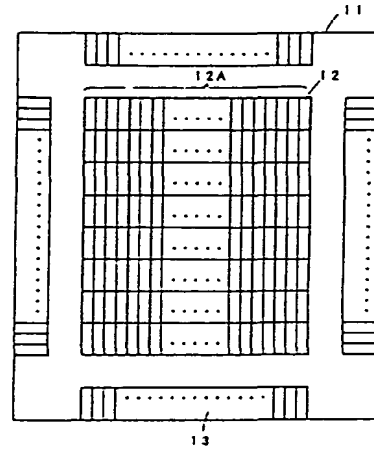


(8)

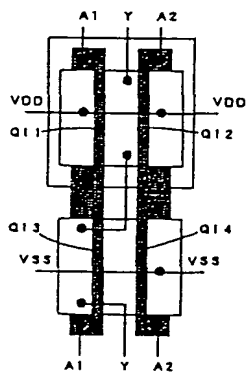
【図 8】



【図 10】



【図 12】



【図 14】

